

## TESTABILNO DIGITALNO INTEGRISANO KOLO SPECIFIČNE NAMENE SA UGRADJENIM ANALOGNIM MULTIPLESERIMA

S. Janković, D. Maksimović, V. Živković, P. Petković, V. Litovski  
*Elektronski fakultet, Beogradska 14, 18000 Niš, Jugoslavija*

*Sadržaj - U radu su opisani osnovni zahtevi za projektovanje jednog digitalnog kola specifične namene koje se može koristiti kao deo uređaja za merenje električne snage. Sastavni deo kola predstavljaju analogni multiplekseri čiji rad kontrolišu digitalni signali. Obrazložene su opšte odluke o organizaciji topologije čipa, a zatim je detaljno opisan projekat analognog multipleksera, kao ključne komponente neophodne za efikasan rad kola. Posebno je opisan i deo čipa projektovan sa ciljem da se omogući testiranje kako digitalnog, tako i analognog dela čipa.*

### 1. UVOD

Prednosti projektovanja integrisanih kola specifične namene (Application Specific Integrated Circuits - ASIC) u odnosu na projektovanje i proizvodnju elektronskih uređaja zasnovanih na standardnim integrisanim kolima dobro su poznate. Ipak značaj njihove primene nalaže autorima da osnovni motiv za uvođenje ovih kola u redovnu proizvodnju obrazlože i u ovom radu. Značaj ASIC kola može se sagledavati kroz poboljšanja kako tehnoloških tako i električnih karakteristika. Međutim, osnovni razlog uvođenja novih tehnologija, a time i poboljšanja električnih osobina kola leži u ekonomskom motivu. Naime, pravilnim izborom tehnologije projektovanja u zavisnosti od složenosti kola, zahteva za kvalitetom i obimom proizvodnje, ASIC kola su, sa stanovišta proizvodnje i eksploatacije, ekonomičnija od standardnih integrisanih kola.

Ekonomska opravdanost sa aspekta proizvodnje ogleda se u, po pravilu, znatno nižoj ceni ASIC kola u odnosu na cenu svih standardnih integrisanih kola koja se zamenjuju. Pored toga, vreme rada neophodno za ugradnju jednog ASIC kola daleko je kraće od odgovarajućeg rada neophodnog za ugradnju većeg broja standardnih integrisanih kola. Najzad, smanjeni gabariti uređaja u koji su ugrađena ASIC kola dodatno smanjuju cenu proizvodnje. S druge strane, ekonomska opravdanost primene ASIC kola sa stanovišta eksploatacije ogleda se u smanjenim troškovima održavanja, većoj pouzdanosti, a time i većim ugledom kod krajnjih korisnika uređaja.

U ovom radu opisujemo projektovanje jednog integrisanog kola specifične namene koje se može upotrebiti u uređajima za merenje električne snage. Kolo sadrži digitalni i analogni deo. Analogni deo kola čini multipleksor realizovan sa devet kontrolisanih

prekidača. Kontrolišući signali generišu se u digitalnom delu kola.

Digitalni deo projektovan je metodom standardnih ćelija (standard cells - SC) dok je, zbog svoje specifičnosti, analogni deo projektovan po pravilima potpunog projektovanja (full custom design). Posebna pažnja u projektovanju posvećena je ugradnji dodatne logike koja omogućava efikasnu testabilnost celog kola (Design for Testability - DFT). Projektovanje zasnovano na DFT dozvoljava proveru funkcionisanja pojedinih delova čipa.

Opisano kolo projektovano je pod radnim nazivom LPEK001 u Laboratoriji za projektovanje elektronskih kola na Elektronskom fakultetu u Nišu. Naručeni su, i isporučeni, uzorci realizovani u ES2 tehnologiji kod stranog partnera. Uzorci se trenutno testiraju. Posle parcijalne provere svih delova kola ponaosob, ustanovljena je funkcionalna ispravnost ugrađenih rešenja.

Razlozi koji su uticali na izbor stila projektovanja, opisani su u drugom poglavlju. Treće poglavlje posvećeno je projektovanju analognog multipleksera. U četvrtom poglavlju opisana je DFT realizacija i prikazan deo rezultata testiranja.

### 2. ODLUKE O IMPLEMENTACIJI LAYOUT-a

Softver korišćen za projektovanje čipa je ALLIANCE [1]. Shodno osobinama korišćenog alata za CAD (projektovanje pomoću računara), već na početku moraju biti donete određene odluke o organizaciji čipa. Alternative su sledeće: realizacija standardnim ćelijama ili *datapath* strukturama i korišćenje fiksnih blokova ili njihovo razbijanje i apsorbovanje na višim nivoima hijerarhije.

Prvi izbor odnosi se na stil projektovanja. U kolu se ne pojavljuju ćelije koje obraduju višebitne reči, a nema ni velikih lokalnih magistrala. Osim toga, priroda kola je asinhrona i ne nameće stroga vremenska ograničenja. Svi ovi faktori idu u korist implementacije standardnim ćelijama, a na taj način obezbeđuju se i fleksibilniji uslovi u fazi povezivanja.

Drugi izbor vezan je za hijerarhijsku organizaciju čipa. Fiksni blok ostaje celina na sledećem višem nivou hijerarhije. Druga mogućnost je apsorpcija blokova i svođenje projekta na jedan nivo hijerarhije. ALLIANCE CAD alat ne obezbeđuje efikasan ruter na nivou makroćelija. Postoji samo *block-to-block* ruter, sposoban da međusobno poveže dva bloka uz relativno

loše iskorišćenje površine silicijuma. Shodno ovome, išlo se na maksimalnu moguću upotrebu rutera na nivou standardnih ćelija. Rezultat je fizička hijerarhija sa samo dva makrobloka, digitalni i analogni. Digitalni deo realizovan je standardnim ćelijama, a mreža analognih multipleksera projektovana je *full custom* stilom (potpuno projektovanje po narudžbini).

*Layout* čipa prikazan je na slici 1. Dve pravougaone podoblasti jasno su vidljive u okviru aktivne površine čipa.

Donji deo čipa na slici 1 predstavlja mrežu devet analognih multipleksera. Pet multipleksera je međusobno povezano, dok je četiri potpuno nezavisno sa svim pristupima dostupnim preko ulazno/izlaznih pinova čipa. Prisustvo analognih signala zahteva i specifične stopice. Baferovanje signala je eliminisano, dok je zadržana diodna zaštita ulaza. Svi prekidači upravljani su signalima iz digitalnog dela čipa, tako da je moguće paralelno testiranje prekidača za vreme nekog od digitalnih testova.

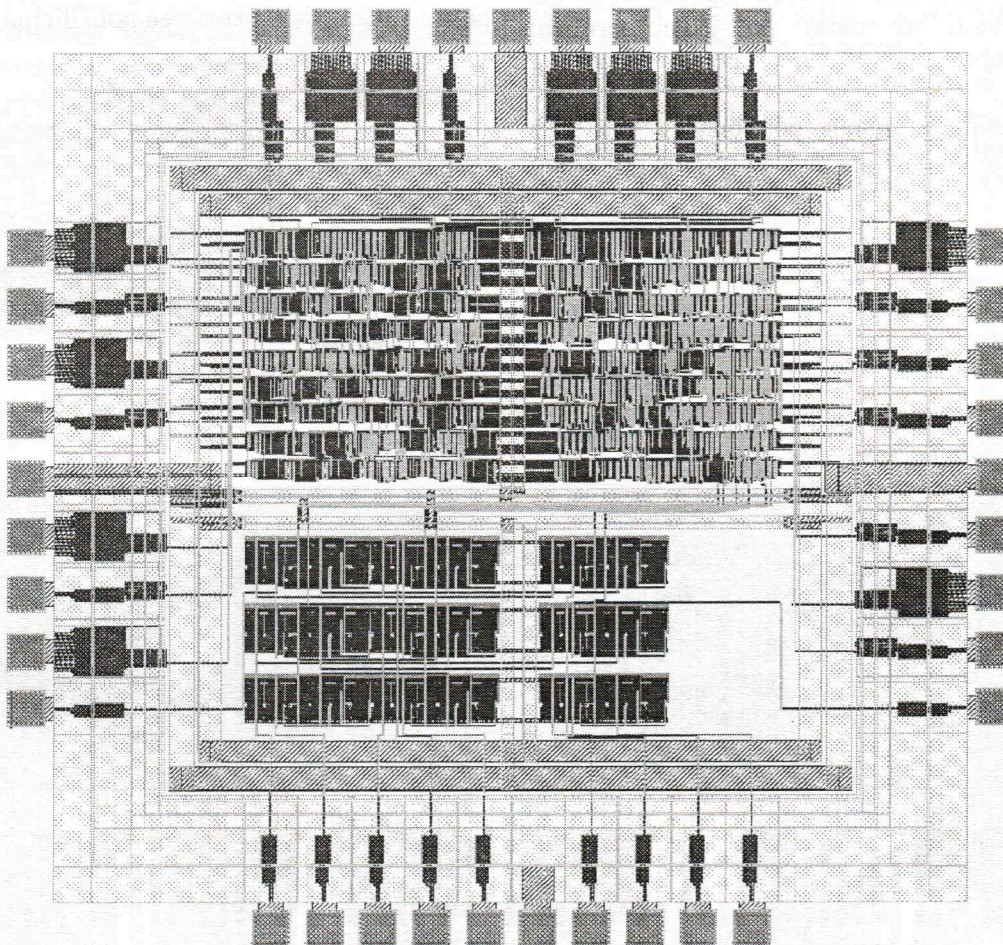
Logički deo kola (gornji deo čipa na slici 1) sastoji se od dva 14-bitna delitelja frekvencije, dva 4-bitna binarna brojača, jednog 5-bitnog brojača, koji su

međusobno povezani preko registara i kombinacione logike.

### 3. PROJEKAT ANALOGNOG MULTIPLEKSERA

Analogni multiplekser je najosetljiviji deo projekta. On je najodgovornija komponenta za precizno množenje impulsno-širinskih množača (u literaturi poznati kao *time-division* ili *mark to space* množači) [2], [3].

CMOS prekidač je izabran zahvaljujući dobro poznatim prednostima u odnosu na NMOS prekidač. Dinamički opseg analognog signala u *on* stanju značajno je povećan. n- i p-kanalni tranzistori vezani su paralelno i pobuđuju se komplementarnim klok signalima, tako da je problem struje ubačenog naelektrisanja (*clock feedthrough*) delimično redukovan [4]. Ipak, CMOS prekidač takođe nije savršen. Otpornost prekidača kada vodi je konačna i zavisna od primenjenog ulaznog napona. Ne sme se zaboraviti i efekat ubačenog naelektrisanja, koji još uvek nije zanemarljiv. Ostali nedostaci prekidača nisu od značaja za ovaj projekat.

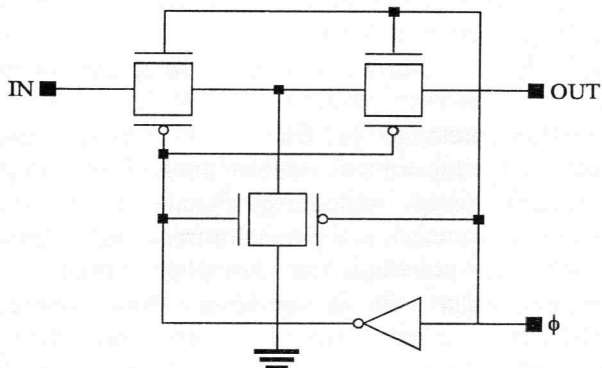


Sl. 1. *Layout* kola

Korisnički zahtevi vezani za prekidače su vrlo strogi. Traži se da otpornost u *on* stanju bude manja od

150  $\Omega$ . Varijacije otpornosti sa promenom ulaznog napona treba da budu manje od 5% u radnom opsegu

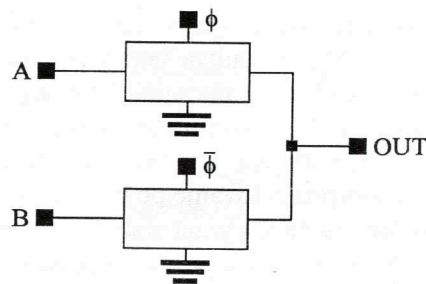
(oko 2.5 V). Ipak, najveći problem nastaje usled efekta ubačenog naelektrisanja. Njegova direktna posledica je postojanje ofseta (razdešenosti) nule, što prouzrokuje nedopustive nepreciznosti množača. Ovo nas je navelo da prekidač realizujemo na način prikazan na slici 2.



Sl. 2. Šematski prikaz implementiranog prekidača

Kada je upravljački signal  $\phi$  na visokom naponskom nivou, prekidač je u *on* stanju i signal se prenosi od IN ka OUT. Nizak naponski nivo na signalu  $\phi$  otvara prekidač i dovodi na masu po jedan terminal transmissionih gejtova, sprečavajući pojavu ubačenog naelektrisanja.

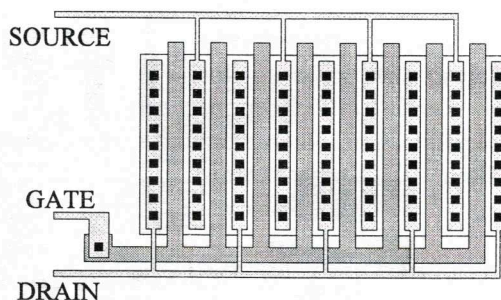
Za multipleksiranje signala potrebna su dva gore opisana prekidača, tako da je konačno rešenje prikazano na slici 3.



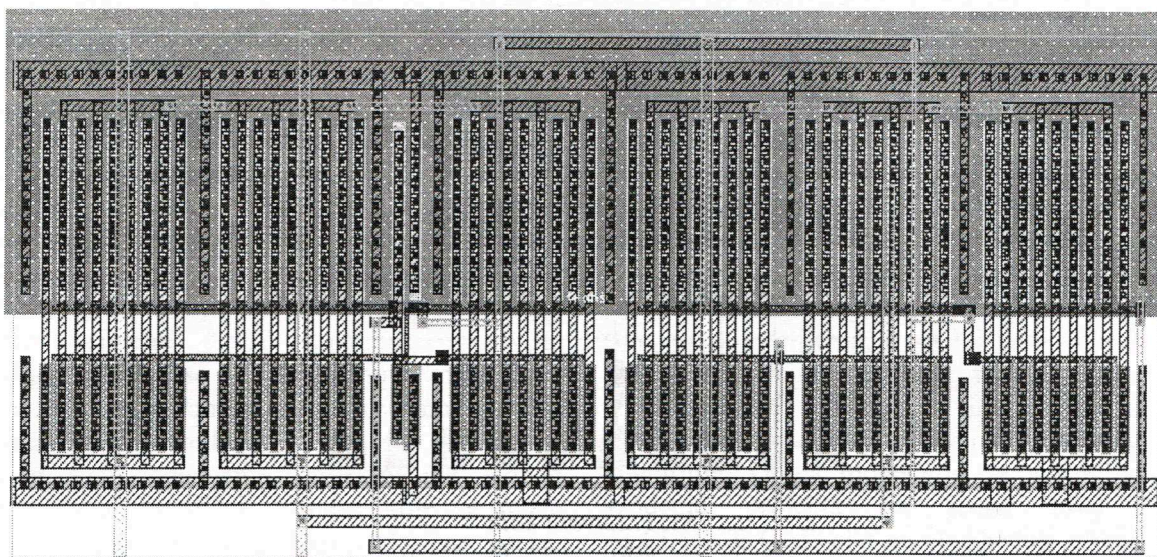
Sl. 3. Analogni multiplekser

SPICE [5] simulacija ukazala je da tranzistori koji čine transmisione gejtove prekidača moraju imati veliki W/L odnos (odnos širine i dužine kanala) da bi se zadovoljio korisnički zahtev o maloj otpornosti u *on* stanju. N-kanalni tranzistor treba da ima W/L odnos 180:1, dok je ovaj odnos dupliran kod p-kanalnih tranzistora.

Praktična realizacija ovakvih tranzistora dobija se paralelnim vezivanjem većeg broja jednakih paralelnih tranzistora organizovanih u *stack* konfiguraciju [6], kao na slici 4. Drejnovi i sorsovi svih tranzistora međusobno su povezani metalom, dok je za povezivanje gejtova korišćen polisilicijum.



Sl. 4. Stack konfiguracija tranzistora sa velikim W/L odnosom

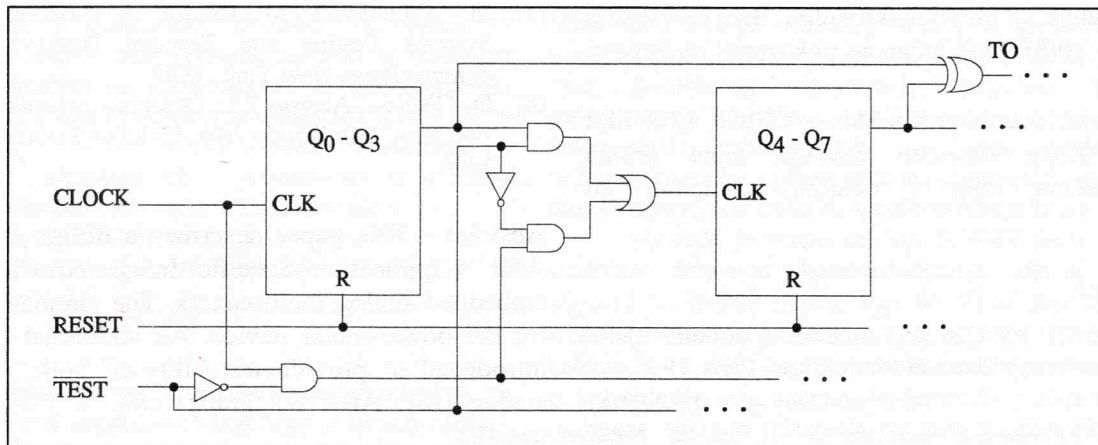


Sl. 5. Layout analognog multipleksera

Većina drejn-sors veza opslužuje dva različita tranzistora, štedeći na taj način površinu silicijuma i redukujući parazitne kapacitivnosti sors-supstrat i drejn-supstrat spojeva.

Layout analognog multipleksera prikazan je na slici 5. Post-layout SPICE simulacija, sa parametrima i

dimenzijama ekstrahovanim iz samog layout-a, potvrdila je ispunjenje korisničkog zahteva. Otpornost prekidača u on stanju je između 105 i 130  $\Omega$  u celom opsegu ulaznog napona (0 do 5 V).



Sl. 6. Testna struktura korišćena kod 14-bitnih brojača

#### 4. TESTIRANJE ČIPA

Uvedena je dodatna logika kako bi se omogućila DFT realizacija. Sastoji se od jednog demultipleksera tipa 3 u 8 čiji je zadatak da postavlja čip u jedan od sedam testnih režima i normalni režim rada.

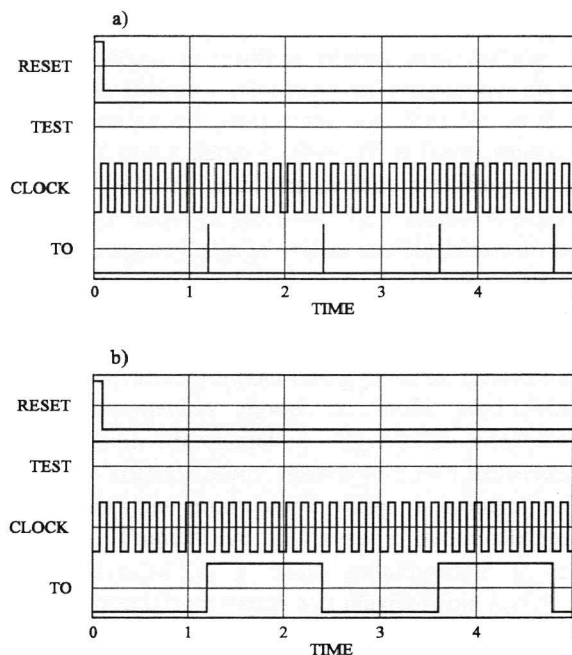
MSB-ovi (bitovi najveće težine) svih brojača su već opservabilni preko primarnih izlaza čipa. Jedan od četvorobitnih brojača može da radi u dva moda - triggerovane rastućom ivicom jednog ili opadajućom ivicom drugog klok signala. 14-bitni brojači su podeljeni na 4-bitne sekcije umetanjem multipleksera. U cilju uštede na broju dodatnih pinova potrebnih zbog opservabilnosti, izlazi 4-bitnih brojača su prilikom testiranja skupljeni u jedan XOR-ovan pin. Suština ideje prikazana je na slici 6.

Pošto 5-bitni brojač obavlja specifičnu funkciju u kolu, testiran je posebno. To je i uslovalo da najduža testna sekvenca bude  $2^5$  dugačka. Dve nezavisne testne sekvence dužine  $2^4$  korišćene su za testiranje 4-bitnog brojača sa dva moda rada. Pored toga, dva kratka testa korišćena su za testiranje preostale kombinacione logike. Sedmi testni mod upotrebljen je za testiranje analognih multipleksera koji nisu opservabilni preko stopica čipa.

Dodatna testna logika nije značajno povećala korišćenu površinu silicijuma, aktivna površina čipa je povećana za manje od 7%. Na drugoj strani, testni troškovi i vreme testiranja su značajno redukovani. Istovremeno je postignut visok stepen pokrivenosti defekata [7].

Testna strategija je simulirana i verifikovana logičkim simulatorom u okviru sistema ALECSIS [8]. Kao primer, rezultati simulacije za kolo sa slike 6 dati

su na slici 7. Kada u kolu nema defekata testni izlaz (signal TO) ostaje na niskom nivou tokom cele testne sekvence, kao što je prikazano na slici 7a. Kratki impulsi posledica su malih razlika u propagacionim kašnjenjima signala na različitim putevima. Odziv kola sa defektom dat je na slici 7b. Dobijeni talasni oblik signala TO je rezultat defekta Q *stuck-at-0* u proizvoljnom flip-flopu.



Sl. 7. Testni odziv:  
a) kolo bez defekata  
b) kolo sa defektom

## 5. ZAKLJUČAK

Opisan je projekat digitalnog ASIC-a sa ugrađenom mrežom analognih multipleksera. Ukupna površina čipa je 11.085 mm<sup>2</sup>. Logički deo zauzima 65% aktivne površine čipa, dok je 35% zauzeto analognim prekidačima uz određene neefikasnosti zbog nedostatka kvalitetnog rutera na nivou makročelija. Broj tranzistora na čipu, oko 10000, još jedan je pokazatelj složenosti čipa.

Čip je projektovan i proizveden u CMOS 1.0μ ES2 tehnologiji. Zbog obaveze čuvanja tajne prema naručiocu, šema kola i detaljniji rezultati su izostavljeni.

## LITERATURA

- [1] -, ALLIANCE-3.0 C.A.D. Framework, Institute Blaise Pascal, University Pierre et Marie Curie, Paris, 1995.
- [2] Lj. Jovanović, "Konvertor napona u vremenske parametreimpulsnog niza za etalonsko merenje snage kod izobličenih naizmernih signala", *Magistarska teza*, Elektrotehnički fakultet Univerziteta u Beogradu, 1989.
- [3] P. Bošnjaković, "Elektronsko merenje električne energije", *Doktorska teza*, Elektrotehnički fakultet Univerziteta u Beogradu, 1985.
- [4] P. Allen, D. Holberg, "CMOS Analog Circuit Design", *Holt, Rinehart and Winston*, New York, 1987.
- [5] L. Nagel, "SPICE 2: A Computer Program to Simulate Semiconductor Circuits", *Memorandum ERL-M520*, University of California, Berkley, May 1975.
- [6] U. Gatti, F. Maloberti, V. Liberali, "Full Stacked Layout of Analogue Cells", *Proc. IEEE International Symposium on Circuits and Systems*, 1989., pp 1123-1126.
- [7] M. Abramovici, M. Breuer, A. Friedman, "Digital Systems Testing and Testable Design", *Computer Science Press*, New York, 1990.
- [8] D. Glozić, "Alecsis 2.1: Objektno orjentisani hibridni simulator", *Doktorska teza*, Elektronski fakultet u Nišu, 1994.

**Abstract** - This paper describes a design of a digital ASIC (Application Specific Integrated Circuit) with embedded analog multiplexers. The circuit is designed for the power-meter device. An additional circuitry is introduced to provide testability of both, digital and analog part. After designing, chip is fabricated and tested.

### Testable Design of Digital ASIC with Embedded Analog Multiplexers

Saša Janković, Dejan Maksimović, Vladimir Živković, Predrag Petković, Vančo Litovski